

# William PENSEC




Postdoctorant en Informatique

-  26 octobre 1996
-  42000 Saint-Etienne
-  [www.pensec.fr/](http://www.pensec.fr/)
-  [william@pensec.fr](mailto:william@pensec.fr)
-  Permis B - Véhiculé
-  Français







## Réseaux

-  LinkedIn
-  Google Scholar
-  WilliamPsc



## Langues

-  Français ● ● ● ● ●
-  Anglais ● ● ● ● ●
-  Italien ● ● ● ● ●

## Informatique

-  Développement logiciel ● ● ● ● ●  
C, Python, C++, Java, JavaScript, Android, Bash, PHP, Ada
-  Développement matériel ● ● ● ● ●  
VHDL, System Verilog, Suite Vivado HLS, Questasim, Assembleur, RISC-V
-  Gestion des données ● ● ● ● ●  
MySQL, JSON, XML
-  Systèmes d'exploitation ● ● ● ● ●  
Linux, Windows
-  Microcontrôleurs ● ● ● ● ●  
Arduino, Raspberry Pi, ZedBoard
-  Divers ● ● ● ● ●  
Latex, TikZ, Chip Whisperer

## Centres d'intérêt

-  Sport ●  
Natation, vélo, activités nautiques, randonnées
-  Loisirs ●  
Voyages, jeux vidéos, films, séries, musique, lecture

## Profil

Postdoctorant en Informatique, au Laboratoire Hubert Curien (LabHC) à Saint-Etienne, spécialisé en sécurité matérielle et injection de fautes sur l'architecture RISC-V. Je cherche un poste de Maitre de Conférence pour poursuivre ma carrière professionnelle et approfondir mes recherches dans l'objectif de m'ouvrir à de nouvelles applications de la sécurité matérielle.

## Expériences professionnelles

- 2024 (1 an) Postdoctorat en Informatique Laboratoire Hubert Curien - Saint-Etienne  
Évaluation de la sécurité des implémentations FPGA de réseaux neuronaux sur RISC-V
- 2023 (5 mois) Mobilité Internationale ALaRI - Lugano, Suisse  
Étude et développement de contremesures pour la protection d'un système contre les attaques par injections de fautes (SystemVerilog).
- 2021 (5 mois) Stage de fin d'études (M2) Lab-STICC  
Développement d'une coopération de drones dans un système hétérogène (C++, Java, TCP/IP, CNN embarqué).
- 2020 (2 mois) Stage en Recherche (M1) Lab-STICC  
Simulation de drones avec capteurs (GPS et accéléromètre) dans un environnement ouvert (C++, CARES).

## Formation

- 2021 – 2024 Thèse de Doctorat (Lab-STICC) Université Bretagne Sud - Lorient  
Protection d'un processeur avec DIFT contre des attaques physiques
- 2019 – 2021 Master Logiciel pour les Systèmes Embarqués Université de Bretagne Occidentale - Brest
- 2015 – 2019 Licence en Informatique : Fondements et Applications Université de Bretagne Occidentale - Brest
- 2014 – 2015 Première Année Commune aux Études de Santé Université de Bretagne Occidentale - Brest
- 2014 Baccalauréat S-SVT, spécialité ISN Lycée de Cornouaille - Quimper

## Encadrements

- 2022 Encadrement d'un étudiant de M2 en projet Université Bretagne Sud  
Implémentation d'un processeur RISC-V sur une cible FPGA
- 2022 Encadrement d'un stagiaire de M1 Université Bretagne Sud  
Attaque physique sur cible FPGA
- 2021 – 2024 Cours effectués Université Bretagne Sud  
TD à hauteur de 136 heures entre la L1 (IUT) et M2.

## Publications

- 2024 Scripting the Unpredictable : Automate Fault Injection in CABA Simulation for Vulnerability Assessment  
W. PENSEC, V. LAPÔTRE and G. GOGNIAT, [DSD](#)
- 2024 Defending the Citadel : Fault Injection Attacks against Dynamic Information Flow Tracking and Related Countermeasures  
W. PENSEC, F. REGAZZONI, V. LAPÔTRE and G. GOGNIAT, [ISVLSI](#)
- 2023 Another Break in the Wall : Harnessing Fault Injection Attacks to Penetrate Software Fortresses  
W. PENSEC, V. LAPÔTRE and G. GOGNIAT, [Sensors S&P](#)
- 2022 Smart Anomaly Detection and Monitoring of Industry 4.0 by Drones  
W. PENSEC, D. ESPES, C. DEZAN, [ICUAS](#)

17 octobre 2024

William PENSEC